

Abstract of **JP11327511**

PROBLEM TO BE SOLVED: To miniaturize a device and to reduce the cost of the device by outputting data transfer clocks to respective liquid crystal displays. **SOLUTION:** Display data of the first scanning line of a liquid crystal display 4A are transferred from a VRAM 2 to the segment driver 6 of the display 4A and a data transfer clock selecting and outputting circuit 3 outputs the number of data transfer clocks equivalent to one scanning line to the driver 6 as a data transfer clock 1 (CP1). Next, display data of the first scanning line of a liquid crystal display 4B are transferred from the VRAM 2 to the segment driver 6 of the display 4B and the data transfer clock selecting and outputting circuit 3 outputs the data transfer clock to be outputted from a liquid crystal control LSI 1 to the driver 6 of the display 4B as a CP2. When the transfer of display data of the first scanning line of a liquid crystal display 4C is completed, the liquid crystal control LSI 1 outputs a display data latch pulse and a frame synchronizing signal to input them to the liquid crystal displays 4A to 4C and segments of respective first scanning lines are driven.

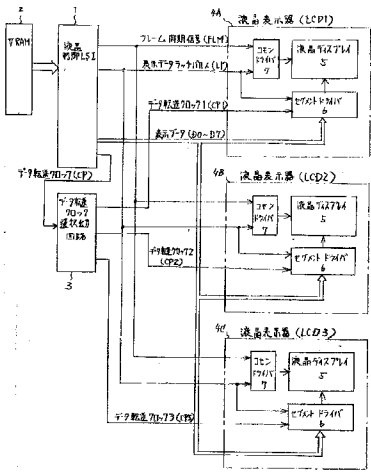
(51)Int.Cl. ⁶	識別記号	F I
G 0 9 G 3/36		C 0 9 G 3/36
G 0 2 F 1/133	5 0 5	C 0 2 F 1/133 5 0 5
G 0 9 G 3/20	6 3 3	C 0 9 G 3/20 6 3 3 Q

審査請求 未請求 請求項の数 1 O L （全 5 頁）

(21)出願番号	特願平10-124443	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田護国台四丁目 6 番地
(22)出願日	平成10年(1998) 5 月 7 日	(72)発明者	田崎 俊彦 愛知県尾張旭市晴丘町海上 1 番地株式会社 日立製作所情報機器事業部内
		(74)代理人	弁理士 小川 勝男

(54)【発明の名称】 液晶表示制御回路

(57)【要約】
【課題】従来技術の複数の液晶表示器の制御では、それぞれの液晶表示器に対応した複数組のVRAM、液晶データ転送制御回路が必要であり、装置の小型化、低コスト化を図る上での障害になっていた。
【解決手段】液晶表示器へデータを転送するためのデータ転送クロックを複数の液晶表示器へ順次選択出力するデータ転送クロック選択出力回路を設けることにより、1組のVRAM、液晶データ転送制御回路で制御することが可能になる。



液晶表示制御回路の構成図（図1）

【特許請求の範囲】

【請求項1】液晶パネルと液晶パネルのX軸方向に配列された液晶セグメントを駆動するセグメントドライバと液晶パネルのY軸方向に配列された走査ラインを駆動するコモンドライバから構成される液晶表示器と、上記液晶表示器に表示するデータを格納するVRAMと、上記VRAMからデータを読み出し上記液晶表示器へのデータ転送を行う液晶データ転送制御回路とから構成される液晶表示制御回路において、複数の液晶表示器を1組のVRAM及び液晶データ転送制御回路で制御し、上記液晶表示器へデータを転送するデータ転送クロックを複数の液晶表示器へ順次選択出力するデータ転送クロック選択出力回路を設けたことを特徴とする液晶表示制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示器の制御回路に関する。

【0002】

【従来の技術】従来の技術は特開平6-318059号公報に示されるように、1つの液晶表示器のなかのディスプレイを複数の画面領域に分割して制御するものであった。このような方式では液晶表示器ごとにVRAM及び一般にLSIで構成される液晶データ転送制御回路が必要になる。そのため、複数の液晶表示器が必要な装置では、VRAM、液晶データ転送制御回路の数が増え、装置の小型化、低コスト化が図れなかった。

【0003】

【発明が解決しようとする課題】本発明の目的は、上記問題点を解決し、複数の液晶表示器を1組のVRAM及び液晶データ転送制御回路で制御し、装置の小型化、低コスト化を図ることにある。

【0004】

【課題を解決するための手段】上記課題を解決するために、液晶表示器へデータを転送するためのデータ転送クロックを複数の液晶表示器へ順次選択出力するデータ転送クロック選択出力回路を設けた。

【0005】

【発明の実施の形態】図1～図4により、本発明の一実施例を説明する。

【0006】最初に、一個の液晶表示器4を表示する方法を説明する。

【0007】液晶表示器4は図3に示す画素から構成される液晶ディスプレイ5と、X軸方向に配列されたセグメントを駆動するセグメントドライバ6と、Y軸方向の走査ラインを駆動するコモンドライバ7から構成される。液晶表示器4への表示は以下の手順で行われる。まず、液晶制御LSI1は第一走査ラインのセグメント1～8のデータをVRAM2から読み出し表示データ(D0～D7)を出力する。この時、表示データ(D0～D

7)に同期してデータ転送クロック(CP)を出力する。セグメントドライバ6はデータ転送クロック(CP)により液晶制御LSI1から出力された表示データ(D0～D7)を取り込む。以下順次第一走査ラインの表示データをセグメントドライバ6に転送する。最終セグメントの表示データまで転送が終了すると液晶制御LSI1は表示データラッチパルス(LP)を出力する。この時同時に第一走査ラインであることを示すフレーム同期信号(FLM)を出力する。液晶表示器4のコモンドライバ7とセグメントドライバ6は表示データラッチパルス(LP)とフレーム同期信号(FLM)により第一走査ラインのセグメントを駆動する。以下同様に第二走査ラインから最終走査ラインまで表示データを転送し表示を行う。最終走査ラインまで表示が終了すると第一走査ラインに戻り同様の表示を繰り返す。

【0008】次に1～3を使用して、三個の液晶表示器4A、4B、4Cを一組の液晶制御LSI1とVRAM2で表示する方法を説明する。まず、液晶表示器4Aの第一走査ラインの表示データをVRAM2から液晶表示器4Aのセグメントドライバ6に転送する。この時、液晶制御LSI1から出力されるデータ転送クロック(CP)は、データ転送クロック選択出力回路3に入力される。データ転送クロック選択出力回路3は第一走査ライン分のデータ転送クロック数を数え、データ転送クロック1(CP1)として液晶表示器4Aのセグメントドライバ6に出力する。

【0009】液晶表示器4Aの第一走査ラインの表示データ転送が終了すると次に液晶表示器4Bの第一走査ラインの表示データをVRAM2から液晶表示器4Bのセグメントドライバ6に転送する。この時、データ転送クロック選択出力回路3は液晶制御LSI1から出力されるデータ転送クロック(CP)をデータ転送クロック2(CP2)として液晶表示器4Bのセグメントドライバ6に出力する。液晶表示器4Bの第一走査ラインの表示データ転送が終了すると同様に液晶表示器4Cの第一走査ラインの表示データ転送を行う。液晶表示器4Cの第一走査ラインの表示データ転送が終了すると液晶制御LSI1は表示データラッチパルス(LP)を出力する。この時同時に第一走査ラインであることを示すフレーム同期信号(FLM)を出力する。表示データラッチパルス(LP)とフレーム同期信号(FLM)は三個の液晶表示器4A、4B、4Cに同時に入力され液晶表示器4A、4B、4Cの第一走査ラインのセグメントが駆動される。以下同様に第二走査ラインから最終走査ラインまで表示データを3個の液晶表示器4A、4B、4Cに転送し表示を行う。最終走査ラインまで表示が終了すると第一走査ラインに戻り同様の表示を繰り返す。なお、3個の液晶表示器4A、4B、4Cを表示する時には、VRAM2の液晶表示データの配列は図4に示すように、各走査ライン毎に3個の液晶表示器のデータを交

互に配列しておく。これにより、液晶制御LSIは3個の液晶表示器4A、4B、4Cの切り替えを意識することなく、あたかも1個の液晶表示器へデータを転送するごとく、3個の液晶表示器へデータを転送することができる。

【0010】なお、本実施例では3個の液晶表示器を制御する例を述べたが、データ転送クロックの周波数を上げることにより、さらに多くの液晶表示器を制御できる。

【0011】

【発明の効果】本発明によれば、従来液晶表示器の数分必要であった液晶制御LSIとVRAMを一組の液晶制御LSIとVRAMで複数の液晶表示器が制御でき装置

の小型化、低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶表示制御回路の構成図。

【図2】表示データ転送タイムチャート。

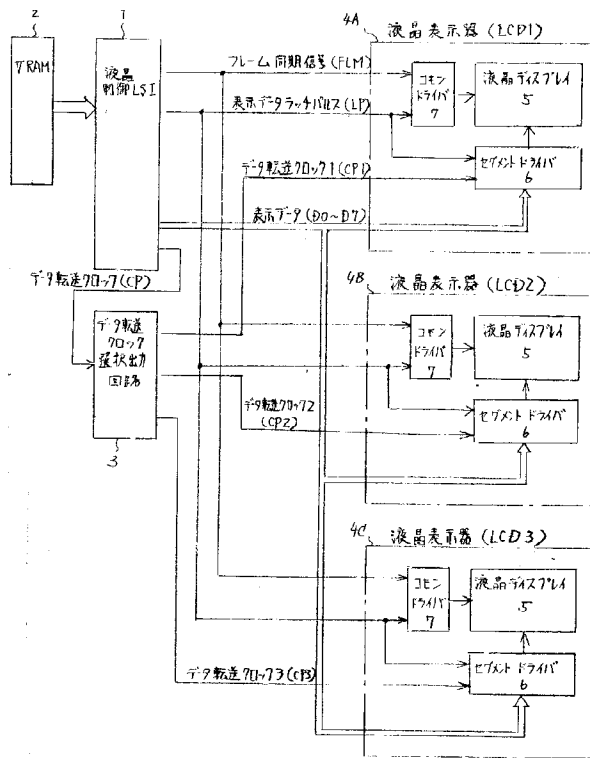
【図3】液晶ディスプレイの画素構成。

【図4】VRAMの液晶表示データ配列。

【符号の説明】

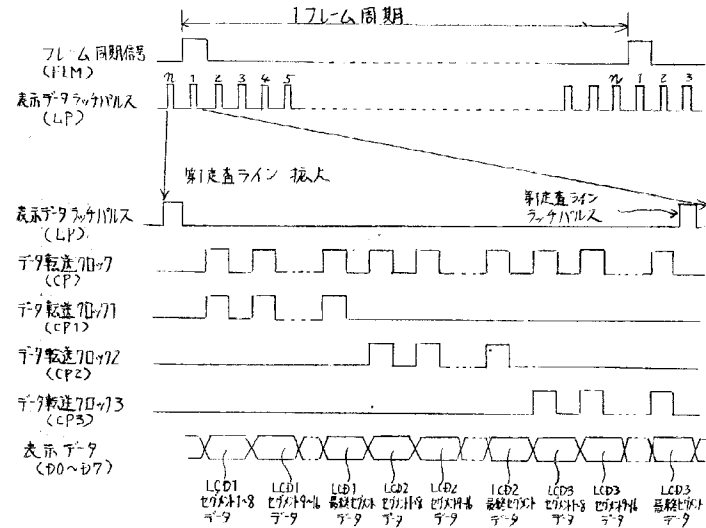
1…液晶制御LSI、2…VRAM、
3…データ転送クロック選択出力回路、4…液晶表示器、5…液晶ディスプレイ、6…セグメントドライバ、7…コモンドライバ。

【図1】



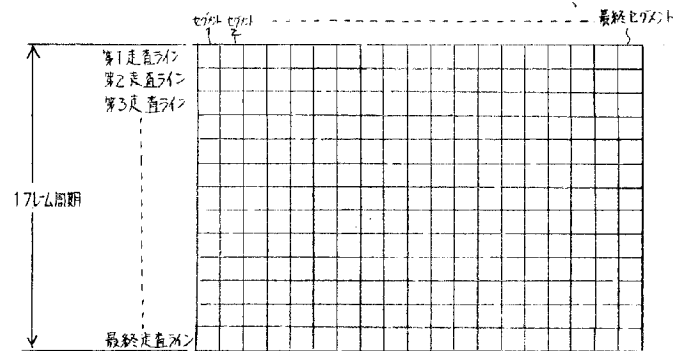
液晶表示制御回路の構成図(図1)

【図2】



表示データ転送タイムチャート (図2)

【図3】



液晶ディスプレイの画素構成 (図3)

特開平11-327511

LCB1	第1走直ライン	サマ
LCB2	第1走直ライン	デマ
LCB3	第1走直ライン	デマ
LCB1	第2走直ライン	デマ
LCB2	第2走直ライン	デマ
LCB3	第2走直ライン	デマ
LCB1	最終走直ライン	デマ
LCB2	最終走直ライン	デマ
LCB3	最終走直ライン	デマ

VRAM の液晶表示データ配列 (図4)